

Schaltungsanordnung mit einer Testschaltung(A1 C2) Schaltungsanordnung mit einer Testschaltung

Patent number: DE19612441

Publication date: 1997-10-02

Inventor: ZETTLER THOMAS DIPL PHYS DR (DE); SOMMER DIETER DIPL PHYS (DE); GEORGAKOS GEORG DIPL ING (DE)

Applicant: SIEMENS AG (DE)

Classification:

- international: G11C29/00

- european: G11C29/00A; G11C29/00B4

Application number: DE19961012441 19960328

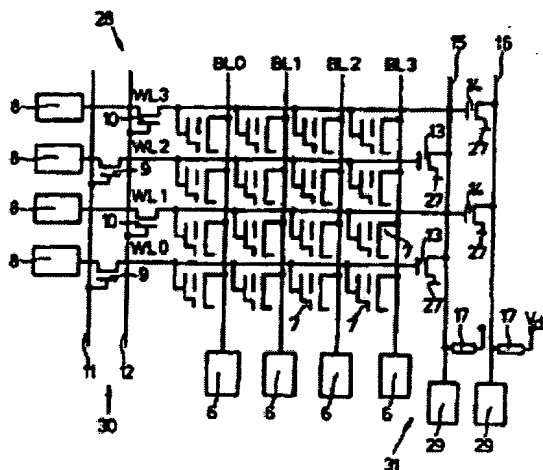
Priority number(s): DE19961012441 19960328

Also published as:

WO9737357 (A1)
EP0891623 (A1)
EP0891623 (B1)
RU2183361 (C2)

Abstract of DE19612441

The invention relates to a circuit arrangement with a predetermined number of group lines (WL0, ..., Wlm, BL0, ..., BLm) which are arranged at regular intervals adjacent each other on a semiconductor substrate (26) and to which a plurality of elementary electronic circuits (7) formed on the semiconductor substrate (26) and substantially identically are connected. A test circuit for checking the electronic operability of the elementary circuits (7) and/or the group lines (WL0, ..., Wlm, BL0, ..., BLm) is provided which is also integrated on the semiconductor substrate (26) of the circuit arrangement, has a switching device (30) which is associated with the group lines (WL0, ..., Wlm, BL0, ..., BLm) and is used to actuate at least one predetermined group line (W1n, BLn) by a first test signal. A further group line (W1n', BLn', n'=n-1, n'=n+1) arranged directly adjacent in relation to the predetermined group line (W1n, BLn) is actuated by a second test signal having a different test level in relation to the first test signal, and detection means (31) associated with the group lines (WL0, ..., Wlm, BL0, ..., BLm) is provided and determines an output signal derived from the group lines (W1n, BLn or W1n', BLn') which have received the first or second test signal.



Data supplied from the esp@cenet database - Worldwide



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

22 Offenlegungsschrift
10 DE 196 12 441 A 1

51 Int. Cl.⁸:
G 11 C 29/00

21 Aktenzeichen: 196 12 441.7
22 Anmeldetag: 28. 3. 96
43 Offenlegungstag: 2. 10. 97

DE 196 12 441 A 1

71 Anmelder:
Siemens AG, 80333 München, DE

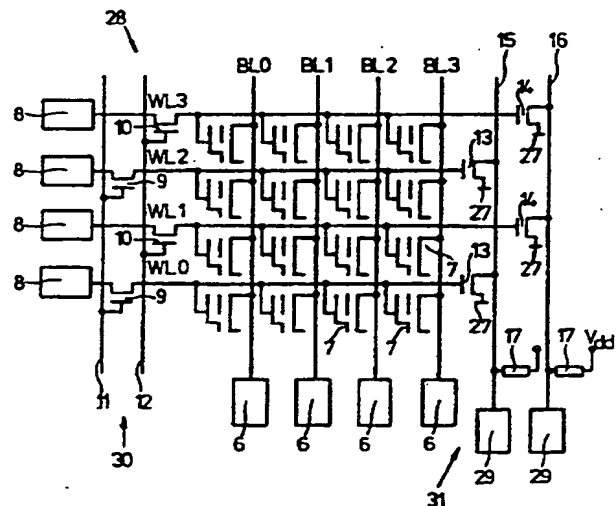
72 Erfinder:
Zettler, Thomas, Dipl.-Phys. Dr., 81737 München, DE;
Sommer, Dieter, Dipl.-Phys., 80469 München, DE;
Georgakos, Georg, Dipl.-Ing. (FH), 85447 Fraunberg, DE

56 Entgegenhaltungen:
DE 43 12 238 C2
DE 40 34 167 C2
DE 42 43 611 A1

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Schaltungsanordnung mit einer Testschaltung

57 Die Erfindung bezieht sich auf eine Schaltungsanordnung mit einer vorbestimmten Anzahl von auf einem Halbleitersubstrat (28) in regelmäßiger Anordnung nebeneinander ausgebildeten Gruppenleitungen (WL0, ..., WLn, BL0, ..., BLm), an denen eine Vielzahl von auf dem Halbleitersubstrat (28) und im wesentlichen gleichartig zueinander ausgebildeten elektronischen Elementarschaltungen (7) angeschlossen ist, wobei eine Testschaltung zur Überprüfung der elektronischen Funktionfähigkeit der Elementarschaltungen (7) und/oder der Gruppenleitungen (WL0, ..., WLn, BL0, ..., BLm) vorgesehen ist, welche gleichfalls auf dem Halbleitersubstrat (28) der Schaltungsanordnung integriert ausgebildet ist und eine den Gruppenleitungen (WL0, ..., WLn, BL0, ..., BLm) zugeordnete Schalteinrichtung (30) aufweist, mittels welcher wenigstens eine vorbestimmte Gruppenleitung (WLn, BLn) mit einem ersten Prüfsignal und eine weitere, gegenüber der vorbestimmten Gruppenleitung (WLn, BLn) unmittelbar benachbart angeordneten Gruppenleitung (WLn', BLn', n' = n-1, n' = n+1) mit einem zweiten, gegenüber dem ersten Prüfsignal einen unterschiedlichen Prüfpegel aufweisenden Prüfsignal beaufschlagbar ist, und eine den Gruppenleitungen (WL0, ..., WLn, BL0, ..., BLm) zugeordnete Detektionseinrichtung (31) vorgesehen ist, welche ein von den mit dem ersten bzw. zweiten Prüfsignal beaufschlagten Gruppenleitungen (WLn, BLn bzw. WLn', BLn') abgeleitetes Ausgangssignal erfaßt.



DE 196 12 441 A 1

Beschreibung

Die Erfindung bezieht sich auf eine Schaltungsanordnung mit einer vorbestimmten Anzahl von auf einem Halbleitersubstrat in regelmäßiger Anordnung nebeneinander aus gebildeten Gruppenleitungen, an denen eine Vielzahl von auf dem Halbleitersubstrat und im wesentlichen gleichartig zueinander ausgebildeten elektronischen Elementarschaltungen angeschlossen ist, wobei eine Testschaltung zur Überprüfung der elektronischen Funktionsfähigkeit der Elementarschaltungen und/oder der Gruppenleitungen vorgesehen ist.

Nach der Herstellung einer hochintegrierten Halbleiterschaltung ist es erforderlich, deren dynamischen und statischen Funktionsfähigkeiten zu überprüfen, was für den Hersteller die Durchführung von zumeist aufwendigen Testprozeduren bedeutet. Aufgrund der hohen Zahl aller möglichen logischen Zustände bei den in aller Regel komplexen Schaltungen ist eine umfassende Prüfung der Schaltungen nur mit hohem Zeitaufwand möglich. Da die Testkosten insbesondere bei hochintegrierten Halbleiterspeicher einen wesentlichen Anteil der Produktionskosten darstellen, sind Testverfahren und Testschaltungen erwünscht, welche in kurzer Zeit eine möglichst hohe Fehlerabdeckung gewährleisten. Eine möglichst frühzeitige Aussondierung defekter Schaltungen aus dem Produktionsablauf bringt eine Entlastung der Fertigungsanlagen und trägt so zur Zeit- und Kostenersparnis bei. Gegenwärtig wird eine typische Testfolge speziell für einen elektrisch löschbaren und programmierbaren Halbleiterspeicher (EEPROM) wie folgt verwendet. Vor Beginn der eigentlichen Testfolge werden sämtliche Speicherzellen gelöscht, und anschließend werden entweder alle Speicherzellen oder die nach einem vorbestimmten Muster ausgewählten Speicherzellen auf bestimmte Logikwerte programmiert. Danach kann in der Regel eine sogenannte Streßbehandlung mit erhöhter Temperatur und/oder mit einer überhöhten Drainspannung erfolgen. Bei einem nachfolgenden Testlauf werden die Funktionen der Speicherzellen und Schaltungskomponenten des EEPROMs überprüft, beispielsweise durch Bestimmen der Schwellspannungsverschiebung der Speicherzellen. Nach einem erneuten Löschen der Speicherzellen wird eine nochmalige Streßbehandlung, gegebenenfalls mit einer erhöhten Gatespannung der Speicherzellen durchgeführt und es wird der Funktionstest unter Bestimmung der Schwellspannungsverschiebung der Speicherzellen wiederholt. Zum Schluß werden die Dateninhalte des EEPROM gelöscht. Bei D. Rhein und H. Freitag, "Mikroelektronische Speicher" Seite 117, Springer-Verlag Wien New York, sind schaltungstechnische Maßnahmen zur Vereinfachung derartiger Prüfprozesse erläutert. Beim sogenannten Gang Programming Mode kann durch paralleles Programmieren von zwei oder vier Bytes die Programmierzeit reduziert werden. Beim sogenannten Full Array Streß Mode werden hohe Streßspannungen an sämtliche Wort- bzw. Bitleitungen gleichzeitig angelegt, um Störungen im normalen Betrieb an den nicht selektierten Zellen nachzubilden. Beim sogenannten Individual Cell Threshold Mode arbeiten alle Leseschaltungen mit normaler Betriebsspannung, während an den Wortleitungen die Spannung zwischen Null Volt und der Programmiervspannung (typischerweise etwa +18 V) variiert wird, wodurch die individuelle Zelleinspannung bestimmt werden kann. Bei sämtlichen der bisher bekannt gewordenen Tests ist es erforderlich, eine Speicherzelle mehrmals zu programmieren und

wieder zu löschen. Dies ist aber gerade bei einem EEPROM sehr zeitaufwendig, und bedingt entsprechend lange Testzeiten, da zum Programmieren bzw. Löschen eines EEPROMs bis zu 50 ms/Byte benötigt werden. Andere aus DRAM-Tests bekannte Algorithmen (beispielsweise der sogenannte March Test) sind aufgrund der hohen Zahl der benötigten Programmierzyklen insbesondere für Flash-EEPROMs nicht einsetzbar.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs genannten Gattung anzugeben, welche mit möglichst geringem schaltungstechnischen Mehraufwand ein schnelles und dabei ausreichend aussagekräftiges Testergebnis über die Funktionsfähigkeit der Schaltungsanordnung ermöglicht.

Diese Aufgabe wird durch die Schaltungsanordnung nach Anspruch 1 gelöst.

Erfindungsgemäß ist vorgesehen, daß die Testschaltung gleichfalls auf dem Halbleitersubstrat der Schaltungsanordnung integriert ausgebildet ist und eine den Gruppenleitungen zugeordnete Schalteinrichtung aufweist, vermittels welcher wenigstens eine vorbestimmte Gruppenleitung mit einem ersten Prüfsignal und eine weitere, gegenüber der vorbestimmten Gruppenleitung unmittelbar benachbart angeordneten Gruppenleitung mit einem zweiten, gegenüber dem ersten Prüfsignal einen unterschiedlichen Prüfpegel aufweisenden Prüfsignal beaufschlagbar ist. Weiterhin ist eine den Gruppenleitungen zugeordnete Detektionseinrichtung vorgesehen, welche ein von den mit dem ersten bzw. zweiten Prüfsignal beaufschlagten Gruppenleitungen abgeleitetes Ausgangssignal erfaßt.

Der Erfindung liegt die Erkenntnis zugrunde, die in vielen Fällen vorhandene räumliche Symmetrie bzw. regelmäßige Anordnung einer Vielzahl von strukturell gleichartig angeordneten Elementarschaltungen für einen schaltungstechnisch einfach aufgebauten und mit kurzen Prüfzeiten durchführbaren Durchgangs- und/oder Unterbrechungstest der Gruppenleitungen auszunutzen. In vielen Fällen hat sich herausgestellt, daß ein hoher Anteil herstellungsbedingter Fehler durch Unterbrechungs- und Durchgangstests der Gruppenleitungen ermittelt werden kann. Dadurch werden insbesondere fehlerhafte Gruppenleitungen festgestellt, und ebenso lassen sich die von Elementarschaltungen verursachten, fehlerhaften elektrischen Verbindungen zwischen Gruppenleitungen untereinander und zwischen Gruppenleitungen und anderen Leitungen ermitteln. Durchgangs- und Unterbrechungstests von Gruppenleitungen lassen sich im Gegensatz zu Funktionsüberprüfungen der Elementarschaltungen sehr schnell durchführen. Die mit der erfindungsgemäßen Testschaltung durchführbaren Testläufe ergeben in kürzester Zeit eine hohe Fehlerabdeckung, welche einer effizienten Vorauswahl fehlerhafter Bauteile zugrundegelegt werden kann. Ein wesentlicher Vorteil der Erfindung besteht darin, daß die Testschaltung schaltungstechnisch sehr einfach ausgebildet werden kann und aus nur wenigen zusätzlich auf dem Halbleitersubstrat vorzusehenden Komponenten besteht, so daß die Testschaltung als fester Bestandteil der Halbleiterschaltung auf dem gleichen Halbleitersubstrat integriert ist. In vielen Fällen können ohnehin vorhandene Schaltungsteile der zu testenden Schaltung gleichzeitig für bestimmte Bestandteile der Testschaltung verwendet werden, so daß die zusätzlich benötigte Fläche der Testschaltung auf dem Halbleitersubstrat gering ist.

Bei einer in Hinblick auf kurze Testzeiten vorteilhaften Weiterbildung der Erfindung kann vorgesehen sein, daß mittels der den Gruppenleitungen zugeordneten Schalteinrichtung sämtliche geradzahigen Gruppenleitungen mit dem ersten Prüfsignal und sämtliche ungeradzahigen Gruppenleitungen mit dem zweiten Prüfsignal beaufschlagbar sind, und die den Gruppenleitungen zugeordnete Detektionseinrichtung jeweils das von den mit dem ersten bzw. zweiten Prüfsignal beaufschlagten geradzahigen bzw. ungeradzahigen Gruppenleitungen abgeleitete Ausgangssignal erfaßt. Dies ermöglicht, mit nur einem einzigen Test, bei dem zwei verschiedene Prüfsignale an geradzahige und ungeradzahige Gruppenleitungen angelegt werden, gleichzeitig eine Vielzahl nebeneinander verlaufender Gruppenleitungen auf Durchgang und Unterbrechung zu prüfen und festzustellen, ob Kurzschlüsse zwischen benachbarten Gruppenleitungen bestehen.

In Weiterbildung der erfindungsgemäßen Schaltungsanordnung kann vorgesehen sein, daß quer zu den Gruppenleitungen eine vorbestimmte Anzahl von nebeneinanderliegend auf dem Halbleitersubstrat ausgebildeten Kollektivleitungen vorgesehen ist, wobei an jeder Kreuzungsstelle von Gruppen- und Kollektivleitungen eine mit der Gruppen- und der Kollektivleitung der jeweiligen Kreuzungsstelle elektrisch gekoppelte Elementarschaltung vorgesehen ist. Vorzugsweise sind die Elementarschaltungen matrixförmig angeordnet, und jeder Gruppen- bzw. Kollektivleitung wird dabei eine Zeile bzw. Spalte der matrixförmigen Anordnung zugeordnet. Dies eröffnet die Möglichkeit, durch Vergleich der Prüfsignale auf den Gruppenleitungen mit denen auf den durch die jeweilige Elementarschaltung mit einer Gruppenleitung verknüpfte Kollektivleitung die Elementarschaltungen auf Durchgang zu prüfen und hierbei Rückschlüsse auf die ordnungsgemäße Funktion der Elementarschaltungen zu ziehen.

Bei einer schaltungstechnisch besonders einfachen Ausgestaltung kann vorgesehen sein, daß eine der Anzahl der Gruppenleitungen entsprechende Zahl von Schaltern vorgesehen ist, welche mittels eines Auswahlsignals für ein Durchschalten entweder des ersten oder des zweiten Prüfsignals auf eine Gruppenleitung angesteuert sind, wobei die Steuereingänge der den geradzahigen Gruppenleitungen zugeordneten Schalter gemeinsam an eine erste Auswahlleitung und der den ungeradzahigen Gruppenleitungen zugeordneten Schalter gemeinsam an eine zweite Auswahlleitung gekoppelt sind. Die beiden Auswahlleitungen und die jeweils jeder Gruppenleitung zugeordneten Schalter bilden hierbei die einzigen zusätzlich auf dem Halbleitersubstrat auszubildenden Komponenten der Testschaltung. Sowohl die Auswahlleitungen, als auch die Schalter lassen sich in allen gängigen Halbleiter-Technologien (CMOS, TTL, usw.) realisieren. Wird bei den Auswahlleitungen und den Schaltern der Testschaltung die gleiche Halbleiter-Technologie verwendet wie bei den Gruppenleitungen und Elementarschaltungen der zu testenden Schaltung, bleibt der entwicklungs- und produktionstechnische Mehraufwand für die Schalteinrichtung gering.

Um einzelne defekte Gruppenleitungen zu identifizieren, kann vorgesehen sein, daß die Schalteinrichtung eine einzige vorbestimmte Gruppenleitung mit dem ersten Prüfsignal und alle weiteren Gruppenleitungen mit dem zweiten Prüfsignal beaufschlagt. Dieser Test ermöglicht neben der Feststellung eines Kurzschlusses zwischen zwei beliebigen Gruppenleitungen auch die

eindeutige Identifikation einer fehlerhaften Gruppenleitung. Zur Identifikation sind hierbei so viele Testläufe erforderlich, wie Gruppenleitungen vorhanden sind. Pro Testlauf wird eine einzige Gruppenleitung mit dem ersten Prüfsignal, alle anderen mit dem zweiten Prüfsignal beaufschlagt.

Für eine besonders schnelle Erkennung von Kurzschlüssen zwischen benachbarten Gruppenleitungen kann vorgesehen sein, daß die Schalteinrichtung jeder Gruppenleitung zugeordnete, von zwei Auswahlleitungen wechselweise angesteuerte und mit der zugeordneten Gruppenleitung ausgangsseitig gekoppelte Schalter aufweist, wobei die den vorbestimmten Gruppenleitungen zugeordneten Schalter eingangsseitig an einem ersten Eingangssignal und die den weiteren Gruppenleitungen zugeordneten Schalter eingangsseitig an einem zweiten Eingangssignal liegen, und daß die Detektionseinrichtung eine den geradzahigen Gruppenleitungen zugeordnete erste Detektionsleitung, eine den ungeradzahigen Gruppenleitungen zugeordnete zweite Detektionsleitung und jeder Gruppenleitung zugeordnete, steuereingangsseitig mit den Gruppenleitungen elektrisch gekoppelte Detektionsschalter aufweist, wobei die Detektionsschalter eingangsseitig auf einem vorbestimmten konstanten Bezugspotential liegen und ausgangsseitig der Zuordnung an eine geradzahige bzw. ungeradzahige Gruppenleitung entsprechend an die erste bzw. zweite Detektionsleitung elektrisch gekoppelt sind, wobei die Detektionseinrichtung eine an die erste Detektionsleitung gekoppelte erste Stromerkennungsschaltung und eine an die zweite Detektionsleitung gekoppelte zweite Stromerkennungsschaltung aufweist. Wenn diese Detektionseinrichtung an den geradzahigen bzw. ungeradzahigen Gruppenleitungen andere als von der Schalteinrichtung an den geradzahigen bzw. ungeradzahigen Gruppenleitungen beaufschlagte Prüfsignale registriert, läßt dies auf mindestens einen Kurzschluß zwischen wenigstens zwei benachbarten Gruppenleitungen oder aber auch auf eine defekte Detektionsleitung schließen.

Zur Identifizierung defekter Gruppenleitungen kann außerdem vorgesehen sein, daß die Detektionseinrichtung jeder Gruppenleitung zugeordnete elektrisch gekoppelte Signalerkennungsschaltungen aufweist. In den meisten Fällen sind bei Halbleiterschaltungen der eingangs erwähnten Gattung jeder Gruppenleitung zugeordnete, als Signalerkennungsschaltungen verwendbare Schaltungen ohnehin vorhanden, was für die Detektionseinrichtung keinen zusätzlichen schaltungstechnischen Aufwand erfordert.

Diese Ausführung kann dadurch weiter ausgebildet sein, daß die Detektionseinrichtung eine Anzahl entsprechend der Zahl der Gruppenleitungen zugeordnete Selektionsschalter aufweist, welche zwischen den Gruppenleitungen und Signalerkennungsschaltungen geschaltet sind und über eine gemeinsame Selektionsleitung angesteuert werden. Dies ermöglicht beispielsweise, auf einem vorbestimmten Potential liegende Gruppenleitungen durch ein Umschalten der Selektionsschalter auf den Sperrzustand abzutrennen und zu prüfen, ob die Gruppenleitungen sich nicht entladen und damit tatsächlich isoliert sind, oder ob sie sich entladen, was auf eine fehlerhafte Verbindung mit benachbarten Gruppenleitungen oder anderen Schaltungsteilen bedeutet.

Bei einer schaltungstechnisch besonders einfachen Realisierung der Schalteinrichtung kann vorgesehen sein, daß die Schalter für das erste und zweite Prüfsignal Schalttransistoren oder mit einem schaltbaren Masse-

anschluß versehene Inverter darstellen. Diese Bauelemente können ohne zusätzlichen Fertigungsaufwand auf dem Halbleitersubstrat zur Integration der erfindungsgemäßen Testschaltung hergestellt werden.

Bei einer besonders bevorzugten Anwendung der erfindungsgemäßen Schaltungsanordnung kann vorgesehen sein, daß die Elementarschaltungen an den Kreuzungsstellen von Gruppen- und Kollektivleitungen Speicherzellen eines auf dem Halbleitersubstrat ausgebildeten Halbleiterspeichers darstellen. Besonders bei Halbleiterspeichern führen die Durchgangs-, Unterbrechungs- und Kurzschlußtests der Gruppenleitungen zu einer Zeitersparnis. Das Programmieren, Löschen und Lesen der Speicherzellen eines Halbleiterspeichers erfordert viel Zeit, insbesondere wenn es sich um einen elektrisch programmierbaren und löschbaren Halbleiterspeicher handelt. Ein dem Stand der Technik entsprechendes Testverfahren dauert dabei bis zu 50 ms/Byte, während die erfindungsgemäßen Tests typischerweise weniger als etwa 50 ns/Byte benötigen, was einem Größenunterschied um den Faktor 10^6 entspricht.

Für alle Typen von Halbleiterspeichern kann vorgesehen sein, daß die Gruppenleitungen Wort- oder Bitleitungen, die Kollektivleitungen Bit- oder Wortleitungen, die Detektionsleitungen Senseleitungen, die Detektionsschalter die an die Senseleitungen gekoppelten Schalter, die erste und zweite Stromerkennungsschaltung an die Senseleitungen gekoppelte Leseverstärker und die Signalerkennungsschaltungen an die Bitleitungen gekoppelte Leseverstärker darstellen, welche die in einem Halbleiterspeicher ohnehin vorhandenen Schaltungsbestandteile darstellen und in vorteilhafter Weise für die Durchführung eines Test mittels der erfindungsgemäßen Schaltung herangezogen werden. Dies erfordert bei einem Halbleiterspeicher keinen zusätzlichen schaltungstechnischen Aufwand für die Detektionseinrichtung, für die ausschließlich bereits vorhandene Schaltungskomponenten verwendet werden können.

Von Vorteil können aus den der Auswahlleitung und jeder Wortleitung zugeordneten Transistoren der Schalteinrichtung dem einer Wortleitung zugeordneten, in einem Halbleiterspeicher ohnehin vorhandenen Wortleitungstreiber vorgeschaltet sein. Dadurch können für einen wesentlichen Bestandteil der Schalteinrichtung, welcher die für die Prüfsignale notwendigen Spannungen erzeugt bereits vorhandene verhältnismäßig aufwendige Einrichtungen genutzt werden.

Der aus Transistoren bestehenden Schalteinrichtung soll ferner eine Wechselschalteinrichtung vorgeschaltet sein, welche eine Auswahlleitung an eine von null verschiedene, vorzugsweise positive Spannung oder an eine Nullspannung koppelt. Dazu kann für die Nullspannung ein bereits vorhandener Masseanschluß und für die positive Spannung beispielsweise die Versorgungsspannung oder eine andere auf dem Halbleitersubstrat verfügbare Spannung verwendet werden.

Bei einer weiteren Ausführung kann vorgesehen sein, daß die an die Bitleitungen gekoppelte Schalteinrichtung die in einem Halbleiterspeicher vorhandene Vorrichtung zum Anlegen der Programmiervoltage an die Bitleitungen darstellt. Der schaltungstechnische Mehraufwand für die Testschaltung besteht in diesem Fall lediglich in den beiden Auswahlleitungen bzw. in der Selektions- oder Trennleitung für die gesamte Speichermatrix, sowie einen Transistor bzw. Inverter für jede Gruppenleitung. Alle weiteren Bestandteile der Testschaltung wie Wortleitungstreiber und Programmier-

spannungserzeuger für die Schalteinrichtung und Leseverstärker und Senseleitungen für die Detektionseinrichtung sind in einer Halbleiterspeichervorrichtung ohnehin vorhanden.

Bei einer bevorzugten Anwendung der erfindungsgemäßen Testschaltung bei einem Test von Halbleiterspeichern, insbesondere von elektrisch programmierbaren und löschbaren Halbleiterspeichern wird vorteilhafter Weise ausgenutzt, daß ein großer Teil der prozeßbedingten Ausfälle auf Metallisierungs- und Polykurzschlüsse sowie Gateoxid-Kurzschlüsse zurückzuführen sind. Die erfindungsgemäße Testschaltung überprüft die oben beschriebenen statischen Verbindungen, ohne Zellen zu programmieren, und ermöglicht damit in kürzester Zeit eine hohe Fehlerabdeckung.

Weitere Merkmale, Vorteile und Zweckmäßigkeiten der Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen anhand der Zeichnung. Es zeigt:

Fig. 1 den schematischen Aufbau einer Speicherzelle eines EEPROMs mit Wort- und Bitleitungen;

Fig. 2 ein schematisches Schaltbild einer Schaltungsanordnung mit einer Testschaltung für einen Wortleitungstest und einen Senseleitungstest eines EEPROMs gemäß einem ersten Ausführungsbeispiel;

Fig. 3A ein schematisches Schaltbild einer Schaltungsanordnung mit einer Testschaltung für einen Wortleitungstest und einen Senseleitungstest eines EEPROMs gemäß einem zweiten Ausführungsbeispiel;

Fig. 3B ein schematisches Schaltbild des internen Aufbaus eines in der in Fig. 3A dargestellten Schaltungsanordnung enthaltenen Inverters

Fig. 4 ein schematisches Schaltbild einer Schaltungsanordnung mit einer Testschaltung für einen Bitleitungstest eines EEPROMs mit Spannungsleseverstärkern gemäß einem dritten Ausführungsbeispiel;

Fig. 5 ein schematisches Schaltbild einer Schaltungsanordnung mit einer Testschaltung für einen Bitleitungstest eines EEPROMs mit Stromleseverstärkern gemäß einem dritten Ausführungsbeispiel; und

Fig. 6 ein schematisches Schaltbild einer Schaltungsanordnung mit einer Testschaltung für einen Bitleitungstest für ein EEPROM mit Stromleseverstärkern.

Da bei elektrisch programmierbaren und löschbaren Halbleiterspeichern die erfindungsgemäße Testschaltung besonders vorteilhaft angewendet werden kann, beziehen sich die nachfolgend näher erläuterten Ausführungsbeispiele sämtlich auf elektrisch programmierbare und löschbare Halbleiterspeicher mit OTP- (einmal programmierbaren) oder Flash- (mehrfach programmierbaren) Speicherzellen. In Fig. 1 ist schematisch eine einzelne Speicherzelle eines elektrisch programmierbaren und löschbaren Halbleiterspeichers dargestellt. Der Anwendungsbereich der erfindungsgemäßen Schaltung ist dabei allerdings nicht auf programmierbare Festwertspeicher oder andere nicht flüchtige Speicher beschränkt, sondern erstreckt sich auch auf beliebig andere Speichertypen und Logikschaltungen mit regelmäßig angeordneten Elementarschaltungen.

Fig. 1 zeigt eine Speicherzelle 7 als Beispiel einer Elementarschaltung bestehend aus einer Steuerelektrode 1, einer potentialungebundenen Elektrode 2, einer Drainelektrode 3 und einer Sourceelektrode 4. Die potentialungebundene Elektrode 2 ist von einem Isolator 5 umgeben. Die Steuerelektrode 1 ist an die der Speicherzelle 7 übergeordneten Zeile zugeordneten Wortleitung WL, die Drainelektrode 3 an die der Speicherzelle übergeordneten Spalte zugeordneten Bitlei-

tung BL elektrisch gekoppelt. Die Sourceanschlüsse 4 der Speicherzellen sind miteinander gekoppelt und liegen auf einem gemeinsamen, festlegbaren Potential. Diese Speicherzelle funktioniert in an sich bekannter Weise wie folgt. Den beiden Zuständen der Speicherzelle 7 entspricht der geladene und der ungeladene Zustand der potentialungebundenen Elektrode 2. Zum Programmieren werden Ladungen in die potentialungebundene Elektrode 2 injiziert, indem an die Steuerelektrode 1 eine positive Hochspannung gegen die Drainelektrode 3 angelegt wird. Der Wert der positiven Hochspannung liegt typischerweise bei etwa + 18 Volt. Zum Löschen werden Elektronen von der potentialungebundenen Elektrode 2 entfernt, beziehungsweise es werden Löcher in die potentialungebundene Elektrode 2 injiziert, indem eine negative Hochspannung an die Steuerelektrode 1 gegen die Drainelektrode 3 gelegt wird, deren Wert typischerweise bei etwa - 12 Volt liegt. Diese betragsmäßig die Versorgungsspannung übersteigenden Spannungen sind notwendig, um die vom Isolator 5 aufgebaute Potentialbarriere zu überwinden. Aufgrund der hohen elektrischen Feldstärke können Elektronen die Potentialbarriere der Isolatoren durchtunneln ("Fowler-Nordheim-Effekt") oder es können in Nähe der Drainelektrode entstandene heiße Elektronen der Isolator überwinden ("Channel-Hot-Elektron-Effekt"). Zum Lesen wird eine positive Spannung von etwa 5 Volt zwischen der Steuerelektrode 1 und der Drainelektrode 3 angelegt, die jedoch nicht ausreicht, den Ladungszustand der potentialungebundenen Elektrode 2 zu ändern.

Fig. 2 zeigt ein erstes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung mit einer vorbestimmten Anzahl von auf dem Halbleitersubstrat 26 in regelmäßiger Anordnung nebeneinander ausgebildeten Wortleitungen WL0, WL1, WL2, WL3, welche vorliegend in allgemeiner Form auch als Gruppenleitungen bezeichnet sind, sowie quer zu den Wortleitungen in vorbestimmter Anzahl nebeneinanderliegend auf dem Halbleitersubstrat 26 ausgebildeten Bitleitungen BL0, BL1, BL2, BL3, die vorliegend allgemein auch als Kollektivleitungen bezeichnet sind. An jeder Kreuzungsstelle der Wort- und Bitleitungen ist eine als Elementarschaltung bezeichnete Speicherzelle 7 eines elektrisch programmierbaren und löschbaren Halbleiterspeichers 28 gekoppelt. Zur Ansteuerung der Wortleitungen WL0 bis WL3 sind Wortleitungstreiber 8 vorgesehen, welche in an sich bekannter Weise mit (nicht näher dargestellten) Adreßdekoderschaltungen verbunden sind. Zum Auslesen der auf den Bitleitungen BL0 bis BL3 anliegenden Dateninhalte aus den Speicherzellen 7 sind Leseverstärkerschaltungen 6 vorgesehen, deren Aufbau und Wirkungsweise dem Fachmann ebenfalls geläufig ist. Die Wortleitungen WL0 bis WL3 sind über Senseleitungen 15 und 16 über Senseleitungstransistoren 13, 14 mit Leseverstärkern 29 gekoppelt, wobei die Senseleitungen 15 und 16 über eine Spannungsteiler mit dem Widerstand 17 mit der Versorgungsspannung V_{DD} gekoppelt sind, wodurch die Leseverstärker 29 als Stromerkennungsschaltungen arbeiten. Die Wortleitungstreiber 8, Leseverstärkerschaltungen 6, sowie Stromleseverstärkerschaltungen 29 mit den Senseleitungen 15 und 16 sind als Bestandteile eines elektrisch löschbaren und programmierbaren Halbleiterspeichers dem Fachmann geläufige Schaltungsbestandteile, erfordern somit keine nähere Funktionsbeschreibung. Erfindungsgemäß ist eine Schalteinrichtung 30 bestehend aus Schalttransistoren 9 und 10, sowie Auswahlleitungen 11 und 12 vorge-

sehen, deren Wirkungsweise nachstehend im einzelnen erläutert wird.

Mit dem in Fig. 2 dargestellten ersten Ausführungsbeispiel läßt sich folgender Testlauf durchführen. Die geradzahigen Wortleitungen WL0, WL2 werden von den Wortleitungstreibern 8 auf null Volt vorgeladen und durch die Schalttransistoren 9 der Schalteinrichtung 30 abgetrennt. Die ungeradzahigen Wortleitungen WL1, WL3 werden von den Wortleitungstreibern 8 über die Schalttransistoren 10 mit der Lesespannung beaufschlagt. Nur in einer der beiden Senseleitungen 15 oder 16 darf Strom fließen. Wird in beiden Senseleitungen 15 und 16 Strom durch die Stromleseverstärker 29 nachgewiesen, besteht entweder ein Kurzschluß zwischen zwei benachbarten Wortleitungen WL0, ..., WL3, oder es liegt ein Dekoderfehler vor. Wird in keiner der beiden Senseleitung 15, 16 Strom nachgewiesen, ist entweder die Senseleitung 16 unterbrochen, oder es liegt ein Dekoderfehler vor. Der Testlauf wird mit vertauschten Rollen der geradzahigen Wortleitungen WL0, WL2 und der ungeradzahigen Wortleitungen WL1, WL3 wiederholt. Dieser Testlauf gibt also Hinweise auf mögliche Kurzschlüsse zwischen benachbarten Wortleitungen WL0, ..., WL3, Unterbrechungen von Senseleitungen 15, 16 oder Dekoderfehler. Die Kurzschlüsse zwischen benachbarten Wortleitungen WL0, ..., WL3 können beispielsweise Metallisierungs- oder Polykurzschlüsse sein, oder durch die an die Elektroden der Elementarschaltungen angrenzenden Oxidschichten verursacht werden. In diesem Testlauf werden die oben genannten Verbindungen statisch überprüft ohne die Speicherzellen 7 zu programmieren. Dadurch wird in kurzer Zeit eine verhältnismäßig hohe Fehlerabdeckung erreicht.

Das in der Fig. 3A dargestellte zweite Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung unterscheidet sich vom in Fig. 2 dargestellten ersten Ausführungsbeispiel im Aufbau der prüfsignalerzeugenden Schalteinrichtung 30. Anstelle der Schalttransistoren 9, 10 und der Auswahlleitungen 11, 12 weist diese Schalteinrichtung 30 jeweils einer Wortleitung WL0, ..., WL3 zugeordnete Inverter 18 auf, welche ausgangseitig an die Wortleitungen WL0, ..., WL3 gekoppelt sind. Die Masseanschlüsse der Spannungsversorgungsklemmen der Inverter 18 sind untereinander gekoppelt und über eine Trennleitung 19 und einen als Trennschalter arbeitenden Transistor 20 mit der Masse 27 verbunden. Diese Inverter 18 können in Halbleiterspeichern als Wortleitungstreiber 8 bereits vorhanden sein. Als Detektionseinrichtung 31 werden wie beim zweiten Ausführungsbeispiel die den Bitleitungen BL0, ..., BL3 zugeordneten Leseverstärker 6, die Senseleitungen 15, 16, die Senseleitungstransistoren 13, 14 und die jeweils den Senseleitungen 15, 16 zugeordneten, über einen Widerstand 17 an die Versorgungsspannung V_{DD} gekoppelten, als Stromerkennungsschaltung arbeitenden Leseverstärker 29 genutzt. In der Fig. 3B ist der interne Aufbau des Inverters 18 dargestellt, welcher aus einer zwischen Versorgungsspannung und Trennleitung geschalteter Reihenschaltung eines p-Kanal-Transistors 32 und eines n-Kanal-Transistors 33 besteht. Der gemeinsame Steueranschluß der Transistoren 32, 33 entspricht dem Eingang des Inverters 18, und gemeinsame Koppelpunkt der Elektroden der Transistoren 32, 33 dem Ausgang des Inverters 18.

Mit dem in den Fig. 3A und 3B dargestellten zweiten Ausführungsbeispiel läßt sich der folgende Testlauf durchführen. Der der Trennleitung 19 zugeordnete Trennschalter 20 ist zunächst leitend, wodurch die bei-

den Spannungsversorgungsklemmen der Inverter 18 zwischen der Versorgungsspannung V_{dd} und der Masse 27 liegen. Eine Wortleitung WLn wird ausgewählt, und mittels des ihr zugeordneten Inverters 18 mit einer Lesespannung beaufschlagt. Die anderen Wortleitungen WLn' ($n' \neq n$) werden über die ihnen zugeordneten Inverter 18 aktiv auf null Volt getrieben. Nun wird der Trennschalter 20 gesperrt und dadurch alle den Wortleitungen WLn und WLn' zugeordneten Inverter 18 von der Masseversorgung abgetrennt. Dadurch sind die mit null Volt vorgeladenen Wortleitungen WLn' nicht mehr potentialgebunden. Liegt ein Kurzschluß zwischen der ausgewählten Wortleitung WLn und einer benachbarten Wortleitung WLn' , wobei $n' = n - 1$ oder $n' = n + 1$ ist, vor, so treibt der der Wortleitung WLn zugeordnete Inverter 18 eine über einen Kurzschluß verbundene benachbarte Wortleitung WLn' auf eine Spannung, welche zwischen der Lesespannung und der Nullspannung liegt. In diesem Fall fließt in beiden Senseleitungen 15, 16 Strom, welcher von den Leseverstärkern 29 nachgewiesen wird. Strom in beiden Senseleitungen 15, 16 kann außer einem Anzeichen für einen Kurzschluß zwischen der ausgewählten Wortleitung WLn und einer benachbarten Wortleitung WLn' auch ein Hinweis auf einen Dekoderfehler sein. Wird in keiner Senseleitung 15 und 16 Strom nachgewiesen, ist die ausgewählte Wortleitung WLn oder eine der Senseleitungen 15 oder 16 unterbrochen, oder es liegt ein Dekoderfehler vor. Nacheinander wird jede Wortleitung $WL0, \dots, WL3$ pro Testlauf als diejenige Wortleitung WLn ausgewählt, welche mit der Lesespannung beaufschlagt wird. Werden auf dem Halbleitersubstrat 26 bereits vorhandene, den Senseleitungen 15, 16 zugeordnete Leseverstärker 29 nicht als Stromleseverstärker ausgeführt und stellen somit keinen Strompfad zur Versorgungsspannung V_{dd} sicher, müssen beispielsweise als Lastelement arbeitende Widerstände oder Transistoren im Widerstandsbetrieb eingeführt werden. Auf diese Weise können auch hochohmige Spannungsleseverstärker als Stromerkennungsschaltungen 29 verwendet werden.

Fig. 4 zeigt ein drittes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung für einen Bitleitungstest zur Identifikation fehlerhafter Bitleitungen $BL0, \dots, BL3$, welche in diesem und den folgenden Ausführungsbeispielen die Gruppenleitungen darstellen, eines elektrisch programmierbaren und löschbaren Halbleiterspeichers 28 mit als Spannungsdetektoren arbeitenden, an die Bitleitungen $BL0, \dots, BL3$ gekoppelten Leseverstärkern 6, welche die Detektionseinrichtung 31 bilden. Als prüfsignalerzeugende Schalteinrichtung 30 sind jeder Bitleitung $BL0, \dots, BL3$ zugeordnete Schalttransistoren 9, 10 zwischen den Bitleitungen $BL0, \dots, BL3$ und einem zwischen einer vorbestimmten positiven Spannung V_+ und der Masse 27 schaltbaren Wechselschalter 21. Die Steuereingänge der den geradzahlgigen Bitleitungen $BL0, BL2$ zugeordneten Schalttransistoren 9 sind miteinander und an die erste Auswahlleitung 11 gekoppelt. Die Steuereingänge der den ungeradzahlgigen Bitleitungen $BL1, BL3$ zugeordneten Schalttransistoren 10 sind miteinander und an die zweite Auswahlleitung 12 gekoppelt. Die jeder Bitleitung $BL0, \dots, BL3$ zugeordneten, als Spannungssensor arbeitenden Leseverstärker 6 mit hochohmigem Eingang, welche Detektionseinrichtung 31 bilden, sind auf einem Halbleiterspeicher bereits vorhandenen.

Mit dem in Fig. 4 dargestellten dritten Ausführungsbeispiel läßt sich der folgende Testlauf durchführen. Der gemeinsame Anschluß der Sourceelektroden 4 aller

Speicherzellen 7 und alle Wortleitungen $WL0, \dots, WL3$ liegen während des gesamten Testablaufs auf null Volt. Alle Bitleitungen $BL0, \dots, BL3$ werden durch die Auswahlleitungen 11, 12 angesteuerten Transistoren 9, 10 und den auf die positive Spannung V_+ geschalteten Wechselschalter 21 auf die positive Spannung V_+ vorgeladen. Registriert beim anschließenden Auslesen aller Bitleitungen $BL0, \dots, BL3$ ein Leseverstärker 6 den Null-Volt-Pegel, so ist die entsprechende Bitleitung $BL0, \dots, BL3$ unterbrochen. Danach werden die geradzahlgigen Bitleitungen $BL0, BL2$ durch die leitenden Transistoren 9 und den auf Masse 27 geschalteten Wechselschalter 21 auf null Volt gelegt, während die ungeradzahlgigen Bitleitungen $BL1, BL3$ durch die sperrenden Transistoren 10 floaten. Beim anschließenden Auslesen aller Bitleitungen $BL0, \dots, BL3$ muß an den Leseverstärkern 6 der geradzahlgigen Bitleitungen $BL0, BL2$ der Null-Volt-Pegel und an den Leseverstärkern 6 der ungeradzahlgigen Bitleitungen $BL1, BL3$ die vorgeladene positive Spannung V_+ anliegen. Wird an einer ungeradzahlgigen Bitleitung $BL1, BL3$ der Null-Volt-Pegel gemessen, so besteht ein Kurzschluß zwischen einer ungeradzahlgigen Bitleitung $BL1, BL3$ und einer benachbarten geradzahlgigen Bitleitung $BL0, BL2$ oder die betreffende ungeradzahlgige Bitleitung $BL1, BL3$ ist unterbrochen und somit nicht auf die positive Spannung V_+ vorgeladen worden. Der Testablauf wird wiederholt, in dem die geradzahlgigen Bitleitungen $BL0, BL2$ und die ungeradzahlgigen Bitleitungen $BL1, BL3$ und ihre Rollen vertauschen.

Fig. 5 zeigt ein viertes Ausführungsbeispiel, welches im wesentlichen eine Erweiterung des in Fig. 4 dargestellten dritten Ausführungsbeispiels ist. Die Leseverstärker 6 arbeiten im Gegensatz zum dritten Ausführungsbeispiel als Stromsensoren. Zusätzlich sind in jeder Bitleitung $BL0, \dots, BL3$ zwischen den Bitleitungen $BL0, \dots, BL3$ und den Leseverstärkern 6 als Selektionsschalter arbeitende Transistoren 22 zwischengeschaltet. Die Steuereingänge der Selektionsschalter 22 sind miteinander an eine Selektionsleitung 23 gekoppelt.

Mit dem in Fig. 5 dargestellten vierten Ausführungsbeispiel lassen sich die folgenden vier Testläufe durchführen. Alle Wortleitungen $WL0, \dots, WL3$ und der gemeinsame Anschluß der Sourceelektroden 4 der Speicherzellen 7 liegen bei allen vier Testläufen auf dem Null-Volt-Pegel. Beim ersten Testlauf werden zunächst durch die Selektionsleitung 23 die Selektionsschalter 22 gesperrt und alle Bitleitungen $BL0, \dots, BL3$ abgetrennt und über die Leseverstärker 6 ausgelesen. Wird in einem der Leseverstärker 6 Strom nachgewiesen, so liegt in der entsprechenden Bitleitung $BL0, \dots, BL3$ ein Tunneloxid-Interpolydielektrikum-Durchbruch oder ein beispielsweise durch ein Metallpartikel verursachter direkter Kurzschluß mit einer Wortleitung $WL0, \dots, WL3$ vor. Bei einem zweiten Testlauf werden durch Anlegen der Versorgungsspannung V_{dd} an die Auswahlleitungen 11, 12 alle Bitleitungen $BL0, \dots, BL3$ auf null Volt getrieben und über die Leseverstärker 6 ausgelesen. Wird in einer der Bitleitungen $BL0, \dots, BL3$ kein Strom nachgewiesen, so ist die entsprechende Bitleitung $BL0, \dots, BL3$ unterbrochen. Der dritte Testlauf besteht darin, die geradzahlgigen Bitleitungen $BL0, BL2$ auf null Volt zu legen, während die ungeradzahlgigen Bitleitungen $BL1, BL3$ potentialungebunden bleiben. Werden alle Bitleitungen $BL0, \dots, BL3$ über die Leseverstärker 6 ausgelesen, müssen die den geradzahlgigen Bitleitungen $BL0, BL2$ zugeordneten Leseverstärker 6 Strom nachweisen, und die den ungeradzahlgigen Bitleitungen $BL1, BL3$ zu-

geordneten Leseverstärker 6 dürfen keinen Strom nachweisen. Fließt in einer ungeradzahlgigen Bitleitung BL1, BL3 Strom, so besteht ein niederohmiger Kurzschluß zwischen zwei Bitleitungen BL0, ..., BL3. Voraussetzung für die Detektion ist, daß die Transistoren 9, 10 der Schalteinrichtung 30 mehr als einen Leseverstärker 6 mit null Volt übertreiben können. Der Nachteil des Testlaufes besteht darin, daß ein hochohmiger Kurzschluß zwischen zwei Bitleitungen BL0, ..., BL3 unter Umständen keinen ausreichenden Strom in der nicht getriebenen Bitleitung BL0, ..., BL3 verursacht und dadurch unerkant bleibt. Der dritte Testlauf wird wiederholt, indem die geradzahlgigen und ungeradzahlgigen Bitleitungen BL0, ..., BL3 ihre Rollen vertauschen. Im vierten Testlauf ermöglichen die als Selektionsschalter arbeitenden Transistoren 22 ein Erkennen eines hochohmigen Kurzschlusses. Zunächst werden alle Bitleitungen BL0, ..., BL3 durch die Schalter 9, 10 von der Masse 27 abgetrennt, und danach über die Leseverstärker 6 auf einen positiven Pegel V_+ getrieben. Nun werden durch ein Sperren der Selektionsschalter 22 die Leseverstärker 6 abgetrennt, wodurch die Ladung auf den Bitleitungen BL0, ..., BL3 erhalten bleibt. Danach werden für eine vorbestimmte Zeit durch Anlegen der Versorgungsspannung V_{dd} an die erste Auswahlleitung 11 die geradzahlgigen Bitleitungen BL0, BL2 aktiv mit null Volt getrieben, während durch Anlegen der Nullspannung an die zweite Auswahlleitung 12 die ungeradzahlgigen Bitleitungen BL1, BL3 potentialungebunden auf dem positiven Pegel V_+ liegen. Während dieser vorbestimmten Zeit kann über einen eventuell vorhandenen hochohmigen Kurzschluß zwischen zwei Bitleitungen BL0, ..., BL3 eine potentialungebundene Bitleitung BL1, BL3 entladen werden. Nach Ablauf der vorbestimmten Zeit werden alle Bitleitungen BL0, ..., BL3 durch geöffnete Selektionsschalter 22 ausgelesen und innerhalb einer kurzen Zeit von den Leseverstärkern 6 wieder abgetrennt. Dies ist notwendig, da eine über einen hochohmigen Kurzschluß entladene Bitleitung BL0, ..., BL3 sich in kurzer Zeit wieder auf den positiven Pegel V_+ aufladen würde, und der Defekt somit unerkant bleiben würde. Das Ergebnis der geradzahlgigen Bitleitungen BL0, BL2 und der ungeradzahlgigen Bitleitungen BL1, BL3 muß den Zuständen Strom bzw. kein Strom entsprechen. Wird in einer ungeradzahlgigen Bitleitung BL1, BL3 Strom nachgewiesen, besteht ein Kurzschluß zwischen zwei Bitleitungen BL0, BL3. Der Testablauf wird mit vertauschten Rollen der geradzahlgigen und ungeradzahlgigen Bitleitungen BL0, ..., BL3 wiederholt, indem an die erste Auswahlleitung 11 die Nullspannung und an die zweite Auswahlleitung 12 die Versorgungsspannung V_{dd} angelegt werden.

In der Fig. 6 ist ein fünftes Ausführungsbeispiel dargestellt, bei welchem die prüfsignalerzeugende Schalteinrichtung 30 sich auf der selben Seite der Speichermatrix wie die Detektionseinrichtung 31 befindet. Damit können zwar keine Durchgangstests von Bitleitungen BL0, ..., BL3 durchgeführt werden, aber die Bitleitungen BL0, ..., BL3 können über den Programierpfad mit Spannungen beaufschlagt werden, wodurch Transistoren eingespart werden. Jede Bitleitung BL0, ..., BL3 ist über einen Schaltertransistor 9, 10 an eine Latch-Schaltung 24, 25 gekoppelt. Die Leseverstärker 6 arbeiten als Treiber und Stromsensoren und sind damit gleichzeitig Bestandteile der Schalteinrichtung 30 und der Detektionseinrichtung 31. Die Koppelpunkte der den Latch-Schaltungen 24, 25 abgewandten Elektroden der Schaltertransistoren 9, 10 auf den Bitleitungen BL0, ..., BL3

liegen zwischen den Selektionsschaltern 22 und den Speicherzellen 7. Die Steuereingänge der den geradzahlgigen Bitleitungen BL0, BL2 zugeordneten Schaltertransistoren 9 sind miteinander an die erste Auswahlleitung 11 gekoppelt. Die Steuereingänge der den ungeradzahlgigen Bitleitungen BL1, BL3 zugeordneten Schaltertransistoren 10 sind an die zweite Auswahlleitung 12 gekoppelt.

Mit dem in Fig. 6 dargestellten fünften Ausführungsbeispiel lassen sich die folgenden vier Testläufe durchführen. Alle Wortleitungen WL0, ..., WL3 und der gemeinsame Anschluß der Sourceelektroden 4 der Speicherzellen 7 liegen bei allen vier Testläufen auf dem Null-Volt-Pegel. Beim ersten Testlauf werden zunächst durch die Auswahlleitungen 11, 12 die Schalter 9, 10 gesperrt und alle Bitleitungen BL0, ..., BL3 abgetrennt und durch Schließen der Selektionsschalter 22 über die Leseverstärker 6 ausgelesen. Registriert einer der Leseverstärker 6 Strom, so liegt in der diesem Leseverstärker 6 zugeordneten Bitleitung BL0, ..., BL3 ein Tunneloxid-Interpolydielektrikum-Durchbruch oder ein beispielsweise durch ein Metallpartikel verursachter direkter Kurzschluß mit einer Wortleitung WL0, ..., WL3 vor. Bei einem zweiten Testlauf werden durch Anlegen der Nullspannung an die Latch-Schaltungen 24, 25 und die zweite Auswahlleitung 12 und durch Anlegen der Versorgungsspannung V_{dd} an die erste Auswahlleitung 11 die geradzahlgigen Bitleitungen BL0, BL2 auf null Volt gelegt, während die ungeradzahlgigen Bitleitungen BL1, BL3 potentialfrei gelegt werden. Werden alle Bitleitungen BL0, BL3 über die Leseverstärker 6 ausgelesen, müssen die den geradzahlgigen Bitleitungen BL0, BL2 zugeordneten Leseverstärker 6 Strom und die den ungeradzahlgigen Bitleitungen BL1, BL3 zugeordneten Leseverstärker 6 keinen Strom registrieren. Fließt in einer ungeradzahlgigen Bitleitung BL1, BL3 Strom, so besteht ein niederohmiger Kurzschluß zwischen zwei Bitleitungen BL0, ..., BL3. Voraussetzung für die Detektion ist, daß die Transistoren 9, 10 der Schalteinrichtung 30 mehr als einen Leseverstärker 6 mit null Volt übertreiben können. Der Nachteil des Testlaufes besteht darin, daß ein hochohmiger Kurzschluß zwischen zwei Bitleitungen BL0, ..., BL3 unter Umständen keinen ausreichenden Strom in der nicht getriebenen Bitleitung BL0, ..., BL3 verursacht und dadurch unerkant bleibt. Der zweite Testlauf wird wiederholt, indem die geradzahlgigen und ungeradzahlgigen Bitleitungen BL0, ..., BL3 ihre Rollen vertauschen. Im dritten Testlauf ermöglicht der als Selektionsschalter arbeitende Transistor 22 ein Erkennen eines hochohmigen Kurzschlusses. Zunächst werden alle Latch-Schaltungen 24, 25 an die Versorgungsspannung V_{dd} gelegt, und durch Sperren der Selektionsschalter 22 die Bitleitungen BL0, BL3 von den Leseverstärkern 6 abgetrennt. Danach werden über die Ausgänge der Latch-Schaltungen 24, 25 alle Bitleitungen BL0, ..., BL3 auf die Versorgungsspannung V_{dd} gelegt. Durch Sperren der Schalter 9, 10, 22 werden die Latch-Schaltungen 24, 25 abgetrennt, wobei die Ladung auf den Bitleitungen BL0, ..., BL3 erhalten bleibt. Alle Latch-Schaltungen 24, 25 werden an die Nullspannung gelegt. Jetzt werden für eine vorbestimmte Zeit die geradzahlgigen Bitleitungen BL0, BL2 aktiv mit null Volt getrieben, während die ungeradzahlgigen Bitleitungen BL1, BL3 potentialungebunden auf dem positiven Pegel V_+ liegen. Während dieser vorbestimmten Zeit kann über einen eventuell vorhandenen hochohmigen Kurzschluß zwischen zwei Bitleitungen BL0, ..., BL3 eine potentialungebundene Bitleitung BL1, BL3 entladen

werden. Nach Ablauf der vorbestimmten Zeit werden alle Bitleitungen BL0, BL3 durch geöffnete Selektions-
 schalter 22 ausgelesen, und innerhalb einer kurzen Zeit
 von den Latenz-Schaltungen 24, 25 auf die Nullspannung
 geleitet. Dies ist notwendig, da die über den hochoh-
 migen Kurzschluß entladene Bitleitung BL0, BL3
 nach kurzer Zeit wieder auf den positiven Pegel V_+
 aufgeladene wurde, und der Defekt somit unerkannt blei-
 ben würde. Das Ergebnis der geradzahigen Bitleitun-
 gen BL0, BL2 und der ungeradzahigen Bitleitungen
 BL1, BL3 muß den Zuständen Strom bzw. kein Strom
 entsprechen. Fließt in einer ungeradzahigen Bitleitung
 BL1, BL3 Strom, so besteht ein Kurzschluß zwi-
 schen zwei Bitleitungen BL0, ..., BL3. Der Testablauf
 wird mit vertauschten Rollen der geradzahigen und un-
 geradzahigen Bitleitungen BL0, ..., BL3 wiederholt,
 indem an die erste Auswahlleitung 11 die Nullspannung
 und an die zweite Auswahlleitung 12 die Versorgungss-
 pannung V_{cc} angelegt werden.

Patentansprüche

1. Schaltungsanordnung mit einer vorbestimmten
 Anzahl von auf einem Halbleitersubstrat (26) in re-
 gelmäßiger Anordnung nebeneinander ausgebilde-
 ten Gruppenleitungen (WL0, ..., Wlm, BL0, ...,
 BLm), an denen eine Vielzahl von auf dem Halblei-
 tersubstrat (26) und im wesentlichen gleichartig zu-
 einander ausgebildeten elektronischen Elementar-
 schaltungen (7) angeschlossen ist, wobei eine Test-
 schaltung zur Überprüfung der elektronischen
 Funktionsfähigkeit der Elementarschaltungen (7)
 und/oder der Gruppenleitungen (WL0, ..., Wlm,
 BL0, BLm) vorgesehen ist, dadurch gekennzeichnet,
 daß die Testschaltung gleichfalls auf dem Halb-
 leitersubstrat (26) der Schaltungsanordnung inte-
 griert ausgebildet ist und eine den Gruppenleitun-
 gen (WL0, ..., Wlm, BL0, ..., BLm) zugeordnete
 Schalteinrichtung (30) aufweist, vermittels welcher
 wenigstens eine vorbestimmte Gruppenleitung
 (Wln, BLn) mit einem ersten Prüfsignal und eine
 weitere, gegenüber der vorbestimmten Gruppen-
 leitung (Wln, BLn) unmittelbar benachbart ange-
 ordnete Gruppenleitung (Wln', BLn', $n' = n - 1$,
 $n' = n + 1$) mit einem zweiten, gegenüber dem er-
 sten Prüfsignal einen unterschiedlichen Prüfpegel
 aufweisenden Prüfsignal beaufschlagbar ist, und ei-
 ne den Gruppenleitungen (WL0, ..., Wlm, BL0,
 BLm) zugeordnete Detektionseinrichtung (31) vor-
 gesehen ist, welche ein von den mit dem ersten bzw.
 zweiten Prüfsignal beaufschlagten Gruppenleitun-
 gen (Wln, BLn bzw. Wln', BLn') abgeleitetes Aus-
 gangssignal erfaßt.

2. Schaltungsanordnung nach Anspruch 1, dadurch
 gekennzeichnet, daß vermittels der den Gruppen-
 leitungen (WL0, ..., Wlm, BL0, ..., BLm) zugeord-
 neten Schalteinrichtung (30) sämtliche geradzahigen
 Gruppenleitungen (WL0, WL2, ..., BL0, BL2,
 ...) mit dem ersten Prüfsignal und sämtliche un-
 geradzahigen Gruppenleitungen (WL1, WL3, ...,
 BL1, BL3, ...) mit dem zweiten Prüfsignal beauf-
 schlagbar sind, und die den Gruppenleitungen
 (WL0, ..., Wlm, BL0, ..., BLm) zugeordnete De-
 tektionseinrichtung (31) jeweils das von den mit
 dem ersten bzw. zweiten Prüfsignal beaufschlagten
 geradzahigen bzw. ungeradzahigen Gruppenlei-
 tungen (WL0, WL2, ..., BL0, BL2, ... bzw. WL1, WL3,
 BL1, BL3, ...) abgeleitete Ausgangssignal erfaßt.

3. Schaltungsanordnung nach Anspruch 1 oder 2,
 dadurch gekennzeichnet, daß quer zu den Grup-
 penleitungen (WL0, Wlm, BL0, ..., BLm) eine vor-
 bestimmte Anzahl von nebeneinanderliegend auf
 dem Halbleitersubstrat (26) ausgebildeten Kollektiv-
 leitungen (BL0, ..., BLq oder WL1, ..., WLq)
 vorgesehen ist, wobei an jeder Kreuzungsstelle von
 Gruppen- und Kollektivleitungen eine mit der
 Gruppen- und der Kollektivleitung der jeweiligen
 Kreuzungsstelle elektrisch gekoppelte Elementar-
 schaltung (7) vorgesehen ist.

4. Schaltungsanordnung nach Anspruch 1 bis 3, da-
 durch gekennzeichnet, daß eine der Anzahl der
 Gruppenleitungen (WL0, Wlm, BL0, ..., BLm) ent-
 sprechende Zahl von Schaltern (9, 10, 18) vorgese-
 hen ist, welche vermittels eines Auswahlsignals für
 ein Durchschalten entweder des ersten oder des
 zweiten Prüfsignals auf eine Gruppenleitung (WL0,
 ..., Wlm, BL0, BLm) angesteuert sind.

5. Schaltungsanordnung nach Anspruch 1 bis 4, da-
 durch gekennzeichnet, daß die Steuereingänge der
 den geradzahigen Gruppenleitungen (WL0, WL2,
 ..., BL0, BL2, ...) zugeordneten Schalter (9) ge-
 meinsam an eine erste Auswahlleitung (11) und der
 den ungeradzahigen Gruppenleitungen (WL1,
 WL3, ..., BL1, BL3, ...) zugeordneten Schalter (10)
 gemeinsam an eine zweite Auswahlleitung (12) ge-
 koppelt sind.

6. Schaltungsanordnung nach Anspruch 1, dadurch
 gekennzeichnet, daß die Schalteinrichtung (30) eine
 einzige vorbestimmte Gruppenleitung (WLn) mit
 dem ersten Prüfsignal und alle weiteren Gruppen-
 leitungen (WLn', $n' \neq n$) mit dem zweiten Prüfsignal
 beaufschlagt (Fig. 3A).

7. Schaltungsanordnung nach Anspruch 1 und 2,
 dadurch gekennzeichnet, daß die Schalteinrichtung
 (30) jeder Gruppenleitung (WL0, ..., Wlm, BL0, ...,
 BLm) zugeordnete, von zwei Auswahlleitungen (11,
 12) wechselweise angesteuerte und mit der zuge-
 ordneten Gruppenleitung (WL0, WL2, ..., BL0' ...
 oder WL1, WL3, ..., BL1, BL3, ...) ausgangsseitig
 gekoppelte Schalter (9, 10) aufweist, wobei die den
 vorbestimmten Gruppenleitungen (WL1, ..., Wlm,
 BL1, ..., BLm) zugeordneten Schalter (9 oder 10)
 eingangsseitig an einem ersten Eingangssignal und
 die den weiteren Gruppenleitungen (WL1, WL3,
 BL1, BL3, ... oder WL0, WL2, ..., BL0, BL2, ...)
 zugeordneten Schalter (10 oder 9) eingangsseitig
 an einem zweiten Eingangssignal liegen (Fig. 2).

8. Schaltungsanordnung nach Anspruch 1 oder 2,
 dadurch gekennzeichnet, daß die Detektionsein-
 richtung (31) eine den geradzahigen Gruppenlei-
 tungen zugeordnete erste Detektionsleitung (15),
 eine den ungeradzahigen Gruppenleitungen zuge-
 ordnete zweite Detektionsleitung (16) und jeder
 Gruppenleitung (WL0, ..., Wlm, BL0, ..., BLm)
 zugeordnete, steuereingangsseitig mit den Grup-
 penleitungen (WL0, ..., Wlm, BL0, BLm) elektrisch
 gekoppelte Detektionsschalter (13, 14) aufweist,
 wobei die Detektionsschalter eingangsseitig auf ei-
 nem vorbestimmten konstanten Bezugspotential
 liegen und ausgangsseitig der Zuordnung an eine
 geradzahige bzw. ungeradzahige Gruppenleitung
 (WL0, WL2, ..., BL0, ... bzw. WL1, WL3, ...,
 BL1, BL3, ...) entsprechend an die erste bzw. zwei-
 te Detektionsleitung (15 bzw. 16) elektrisch gekop-
 pelt sind.

9. Schaltungsanordnung nach Anspruch 8, dadurch

gekennzeichnet, daß die Detektionseinrichtung (31) jeweils eine an die Detektionsleitungen (15, 16) gekoppelte Stromerkennungsschaltung (29) aufweist. 10.
Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Detektionseinrichtung (31) jeder Gruppenleitung (WL0, ..., WLn, BL0, ..., BLn) zugeordnete elektrisch gekoppelte Signalerkennungsschaltungen (6) aufweist (Fig. 4, 5, 6).

11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, daß die Detektionseinrichtung (31) eine Anzahl entsprechend der Zahl der Gruppenleitungen (WL0, ..., WLn, BL0, BLn) zugeordnete Selektionsschalter (22) aufweist, welche zwischen den Gruppenleitungen und Signalerkennungsschaltungen (6) geschaltet sind und über eine gemeinsame Selektionsleitung (23) angesteuert werden. 15

12. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Schalter für das erste oder zweite Prüfsignal Schalttransistoren (9, 10) (Fig. 2, 3, 4, 6) oder mit einem schaltbaren Masseanschluß versehene Inverter (18) (Fig. 3A) darstellen. 20

13. Schaltungsanordnung nach Anspruch 3 bis 12, dadurch gekennzeichnet, daß die Elementarschaltungen (7) an den Kreuzungsstellen von Gruppen- und Kollektivleitungen (WL0, ..., WLn und BL0, ..., BLn) Speicherzellen (7) eines auf dem Halbleitersubstrat (26) ausgebildeten Halbleiterspeichers darstellen. 25

14. Schaltungsanordnung nach Anspruch 1 bis 13, dadurch gekennzeichnet, daß die Gruppenleitungen Wort- oder Bitleitungen (WL0, ..., WLn oder BL0, ..., BLn), die Kollektivleitungen Bit- oder Wortleitungen (BL0, ..., BLn oder WL0, WLn), die Detektionsleitungen Senseleitungen (15, 16), die Detektionsschalter die an die Senseleitungen (15, 16) gekoppelten Schalter (13, 14), die erste und zweite Stromerkennungsschaltung an die Senseleitungen gekoppelte Leseverstärker (29) und die Signalerkennungsschaltungen an die Bitleitungen (BL0, ..., BLn) gekoppelte Leseverstärker (6) darstellen. 30

15. Schaltungsanordnung nach Anspruch 1 bis 14, dadurch gekennzeichnet, daß die den Wortleitungen (WL0, ..., WLn) zugeordnete Schalteinrichtung (30) dem einer Wortleitung (WL0, ..., WLn) zugeordneten und in einem Halbleiterspeicher ohnehin vorhandenen Wortleitungstreiber (8) vorgeschaltet ist. 35

16. Schaltungsanordnung nach Anspruch 1 bis 15, dadurch gekennzeichnet, daß der Schalteinrichtung (30) eine Wechselschalteinrichtung (21) vorgeschaltet ist, welche eine Auswahlleitung (9, 10) an eine von null verschiedene, vorzugsweise positive Spannung (V+) oder an eine Nullspannung (27) koppelt. 40

17. Schaltungsanordnung nach Anspruch 1 und 16, dadurch gekennzeichnet, daß die an die Bitleitungen (BL0, ..., BLn) gekoppelte Schalteinrichtung (30) die in einem Halbleiterspeicher vorhandene Vorrichtung (24, 25) zum Anlegen der Programmspannung an die Bitleitungen (BL0, ..., BLn) darstellt. 45

Fig1

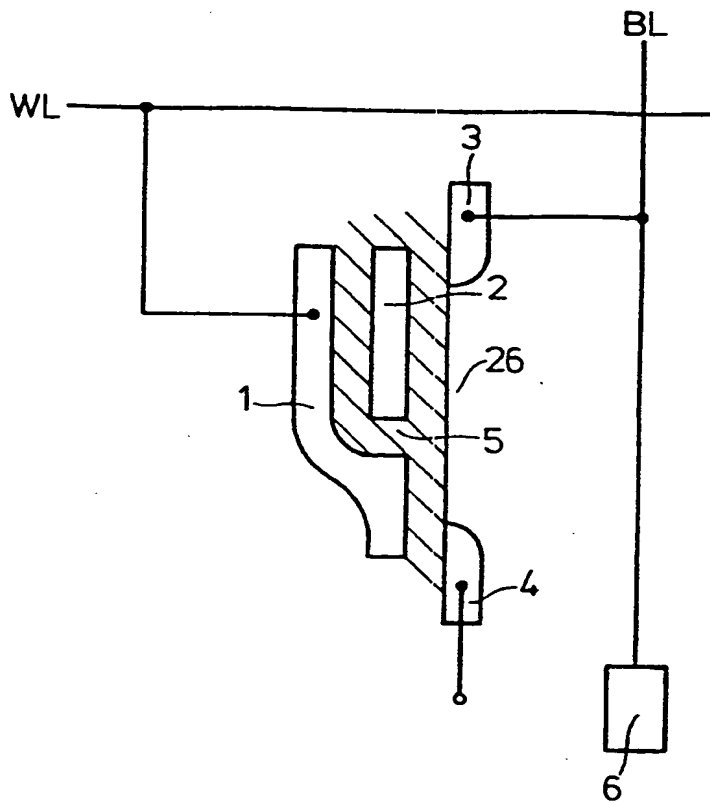


Fig 2

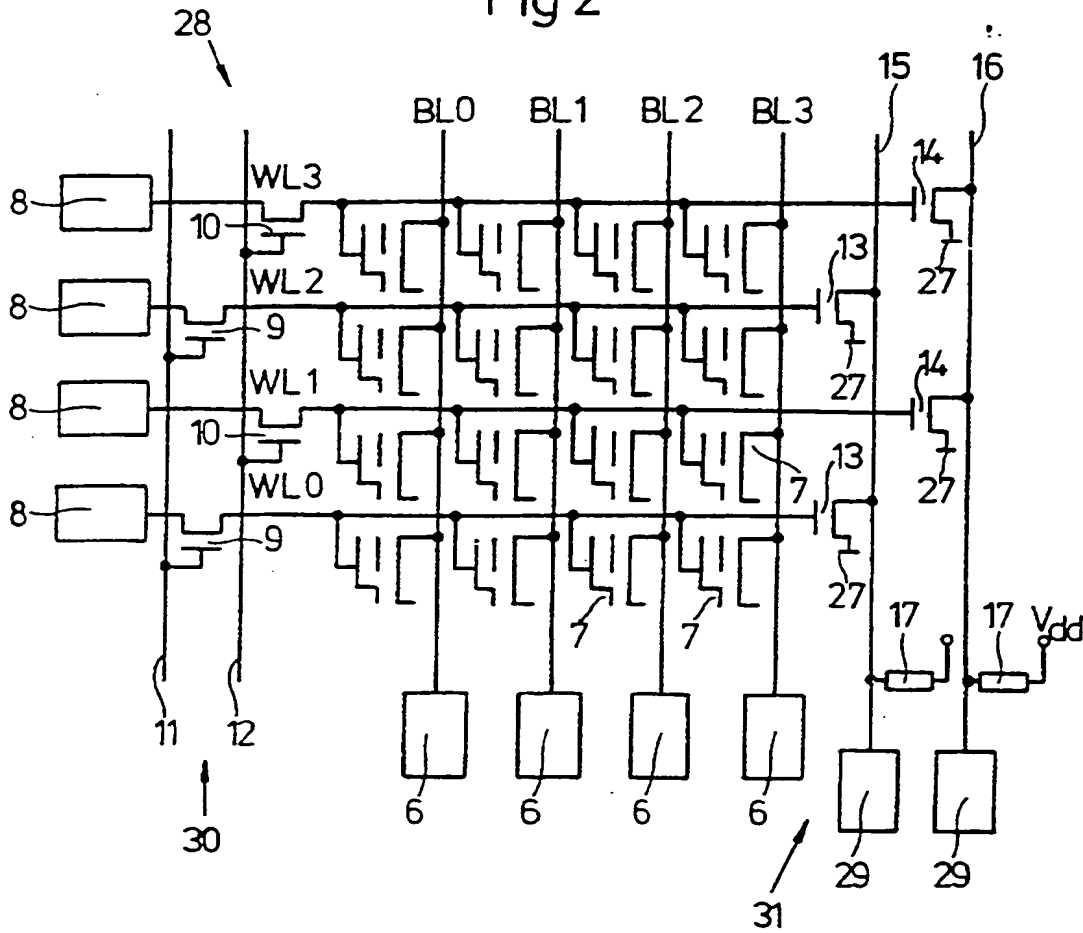


Fig 3A

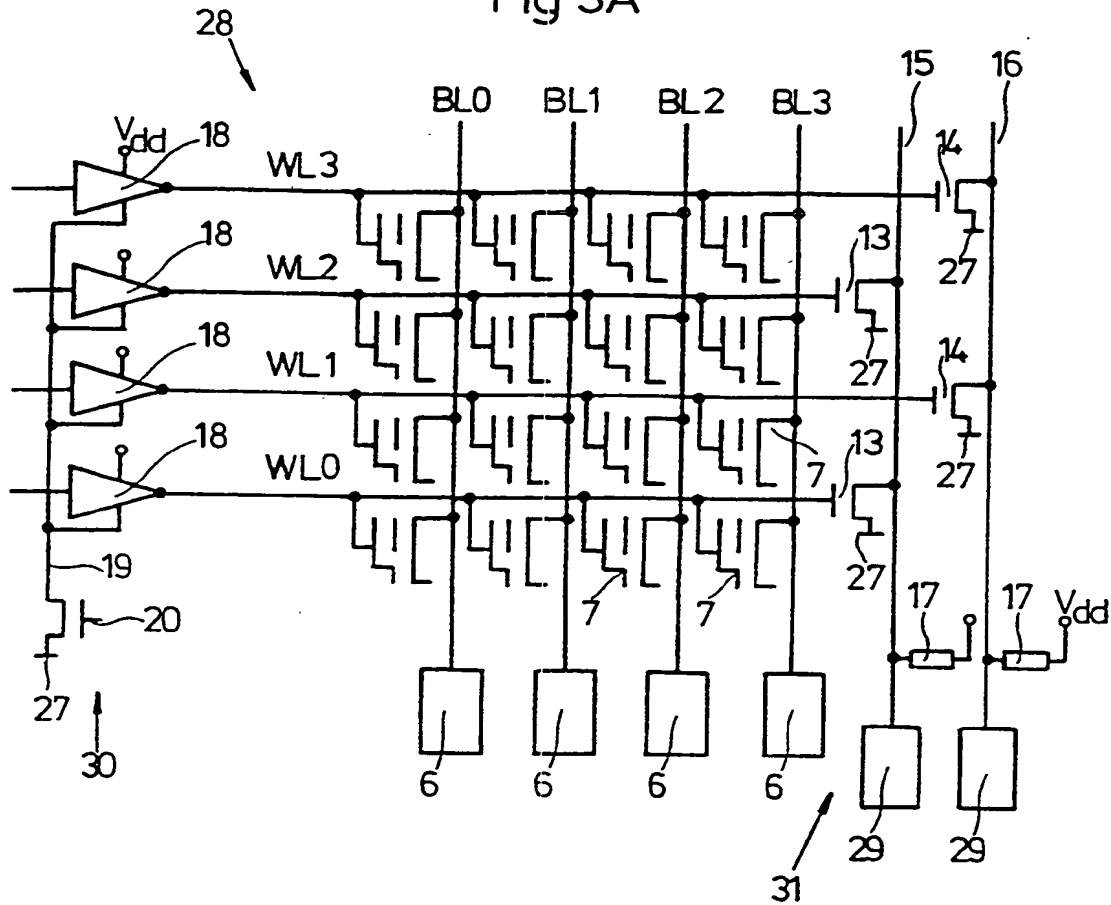


Fig 3B

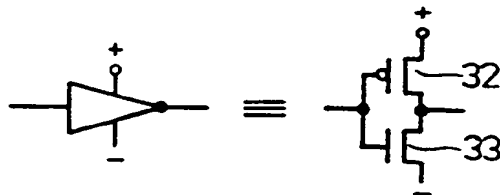


Fig 4

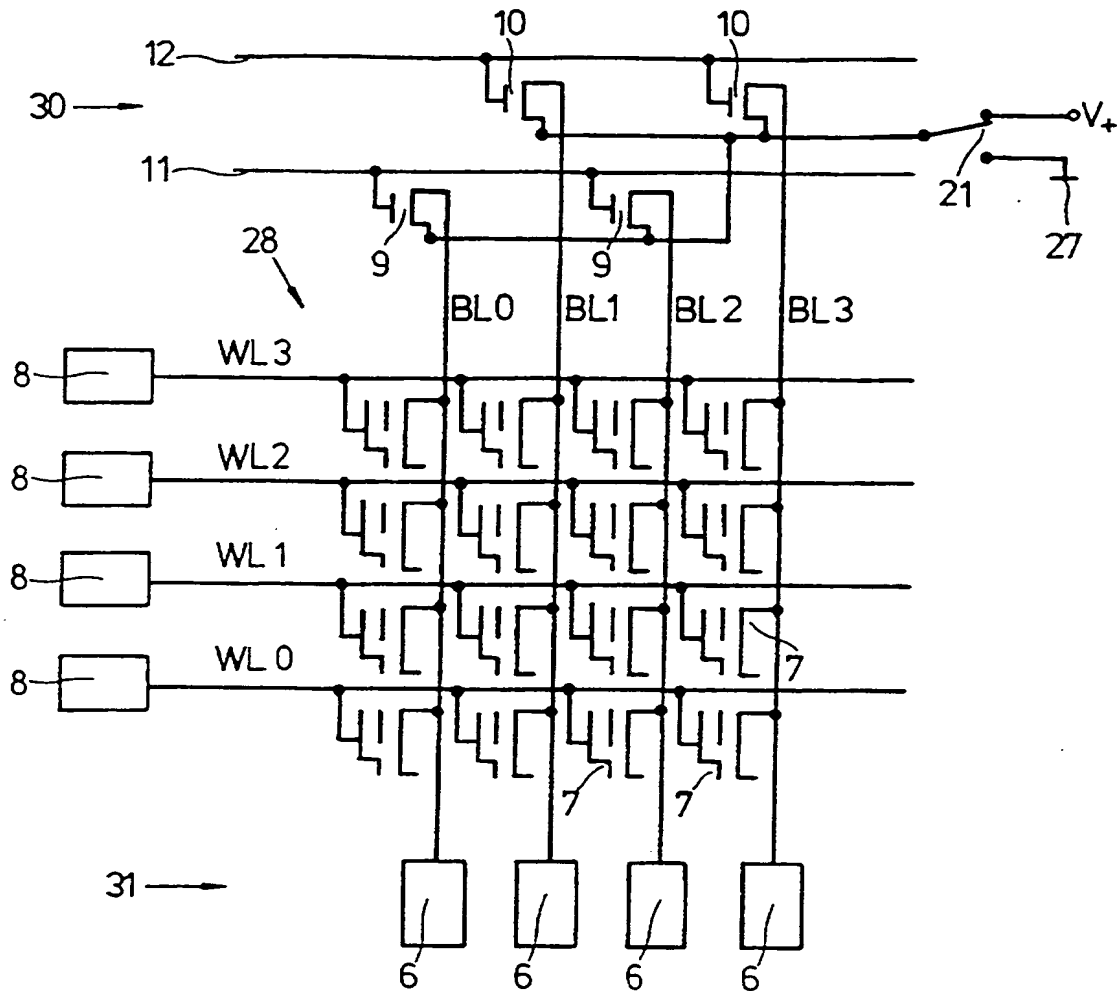


Fig 5

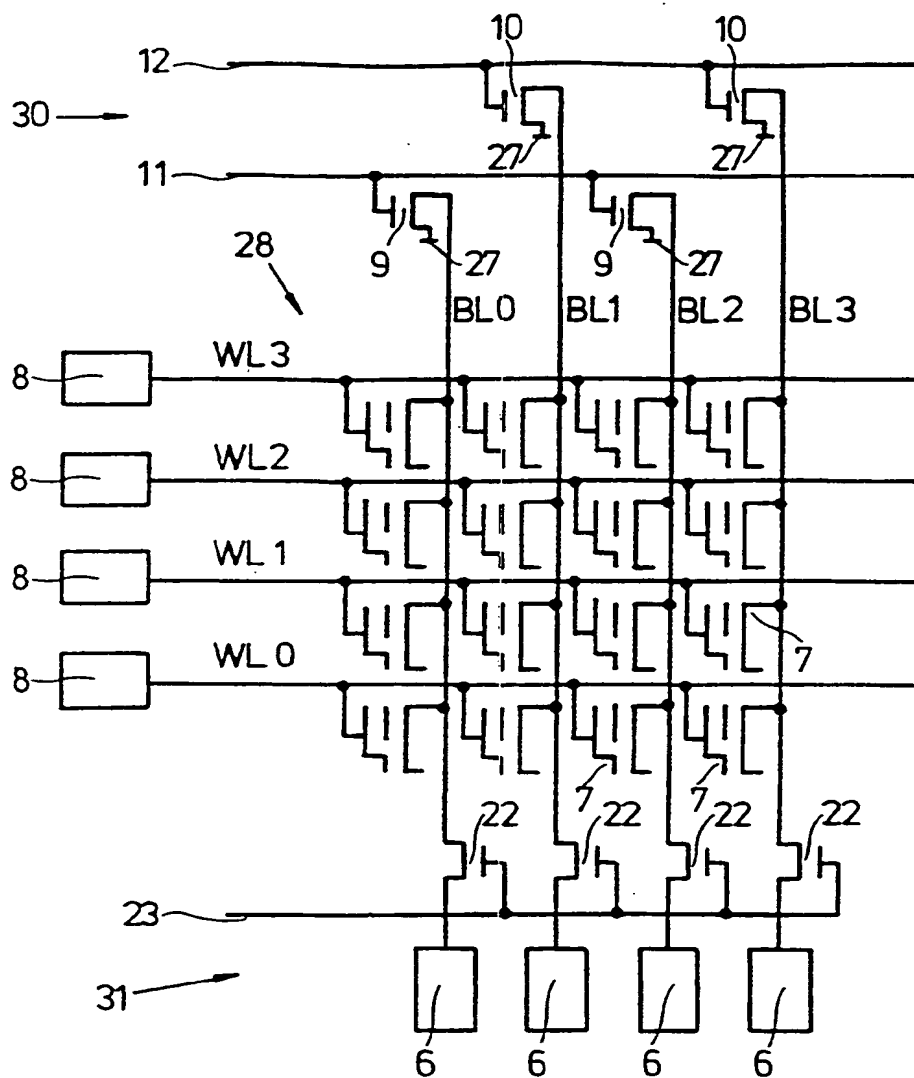


Fig 6

